

PCT

国際予備審査報告

(法第12条、法施行規則第56条)  
[PCT36条及びPCT規則70]

REC'D 06 FEB 2004

WIPO PCT

出願人又は代理人 の書類記号 310101785WO1	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/ IPEA/416)を参照すること。	
国際出願番号 PCT/JPO3/06830	国際出願日 (日.月.年) 30.05.2003	優先日 (日.月.年) 01.07.2002
国際特許分類(IPC)	Int.Cl.' H01L23/50	
出願人(氏名又は名称) 株式会社ルネサステクノロジ		

- 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT36条)の規定に従い送付する。
- この国際予備審査報告は、この表紙を含めて全部で 5 ページからなる。  
☒ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。  
(PCT規則70.16及びPCT実施細則第607号参照)  
この附属書類は、全部で 9 ページである。
- この国際予備審査報告は、次の内容を含む。
  - ☒ 国際予備審査報告の基礎
  - ☐ 優先権
  - ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
  - ☒ 発明の単一性の欠如
  - ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
  - ☐ ある種の引用文献
  - ☐ 国際出願の不備
  - ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 30.05.2003	国際予備審査報告を作成した日 23.01.2004		
名称及びあて先 日本国特許庁(IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 坂本 薫昭	4R	9265
電話番号 03-3581-1101 内線 6738			

## I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に  
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。  
 PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

- |                                     |            |   |                         |        |                           |
|-------------------------------------|------------|---|-------------------------|--------|---------------------------|
| <input checked="" type="checkbox"/> | 明細書        | 第 | 1-28                    | ページ、   | 出願時に提出されたもの               |
|                                     | 明細書        | 第 |                         | ページ、   | 国際予備審査の請求書と共に提出されたもの      |
|                                     | 明細書        | 第 |                         | ページ、   | 付の書簡と共に提出されたもの            |
| <input checked="" type="checkbox"/> | 請求の範囲      | 第 | 7-10, 12-14, 16-25, 28, | 項、     | 出願時に提出されたもの               |
|                                     | 請求の範囲      | 第 |                         | 項、     | PCT19条の規定に基づき補正されたもの      |
|                                     | 請求の範囲      | 第 |                         | 項、     | 国際予備審査の請求書と共に提出されたもの      |
|                                     | 請求の範囲      | 第 | 1-6, 11, 15, 26-27, 29  | 項、     | 03.09.2003 付の書簡と共に提出されたもの |
| <input checked="" type="checkbox"/> | 図面         | 第 | 1/36-36/36              | ページ/図、 | 出願時に提出されたもの               |
|                                     | 図面         | 第 |                         | ページ/図、 | 国際予備審査の請求書と共に提出されたもの      |
|                                     | 図面         | 第 |                         | ページ/図、 | 付の書簡と共に提出されたもの            |
| <input type="checkbox"/>            | 明細書の配列表の部分 | 第 |                         | ページ、   | 出願時に提出されたもの               |
|                                     | 明細書の配列表の部分 | 第 |                         | ページ、   | 国際予備審査の請求書と共に提出されたもの      |
|                                     | 明細書の配列表の部分 | 第 |                         | ページ、   | 付の書簡と共に提出されたもの            |

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である \_\_\_\_\_ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語  
☐ PCT規則48.3(b)にいう国際公開の言語  
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表  
☐ この国際出願と共に提出された磁気ディスクによる配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出された磁気ディスクによる配列表  
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった  
☐ 書面による配列表に記載した配列と磁気ディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 \_\_\_\_\_ ページ  
☐ 請求の範囲 第 \_\_\_\_\_ 項  
☐ 図面 図面の第 \_\_\_\_\_ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならない、本報告に添付する。)

## IV. 発明の単一性の欠如

1. 請求の範囲の減縮又は追加手数料の納付の求めに対して、出願人は、

- ☐ 請求の範囲を減縮した。
- ☐ 追加手数料を納付した。
- ☐ 追加手数料の納付と共に異議を申立てた。
- ☐ 請求の範囲の減縮も、追加手数料の納付もしなかった。

2. ☒ 国際予備審査機関は、次の理由により発明の単一性の要件を満たしていないと判断したが、PCT規則68.1の規定に従い、請求の範囲の減縮及び追加手数料の納付を出願人に求めないこととした。

3. 国際予備審査機関は、PCT規則13.1、13.2及び13.3に規定する発明の単一性を次のように判断する。

- ☐ 満足する。
- ☒ 以下の理由により満足しない。

I. 請求の範囲1-15, 26-31は、封止形成面の内側端部間の長さが、被実装面の内側端部間の長さより長い半導体装置に関するものである。

II. 請求の範囲16-25, 32は、吊りリードの被実装面の反対側の面の被実装面に対向する領域に、ワイヤが接続されている半導体装置に関するものである。

そして、これらの二つの発明群が単一の一般的発明概念を形成するように連関している一群の発明であるとは認められない。

4. したがって、この国際予備審査報告書を作成するに際して、国際出願の次の部分を、国際予備審査の対象にした。

- ☒ すべての部分
- ☐ 請求の範囲 \_\_\_\_\_ に関する部分

## V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

## 1. 見解

新規性(N)

請求の範囲 1-32

有

請求の範囲

無

進歩性(IS)

請求の範囲 1-32

有

請求の範囲

無

産業上の利用可能性(IA)

請求の範囲 1-32

有

請求の範囲

無

## 2. 文献及び説明(PCT規則70.7)

文献1:JP 2000-124240 A(松下電子工業株式会社)2000.04.28  
2:US 2002/0041011 A1(Kazutaka Shibata)2002.04.11  
3:JP 2001-358279 A(ソニー株式会社)2001.12.26  
4:WO 99/00826 A2(松下電子工業株式会社)1999.01.07  
5:WO 01/03183 A2(株式会社日立製作所)2001.01.11

請求の範囲1-32に記載された発明は、国際調査報告に引用されたいずれの文献にも記載されておらず、当業者にとって自明なものでもない。

補充欄 (いずれかの欄の大きさが足りない場合に使用すること)

第 I. 1. 欄の続き

請求の範囲 第 30-32 項、出願時に提出されたもの

請 求 の 範 囲

1. (補正後) 半導体チップが搭載されたタブと、  
前記半導体チップを封止する封止部と、  
前記封止部の裏面の周縁部に露出する被実装面と、その反対側に配置されると  
5 ともに前記封止部によって覆われる封止部形成面とを有した複数のリードと、  
前記半導体チップの表面電極とこれに対応する前記封止部形成面とを接続する  
複数のワイヤとを有し、  
対向して配置された前記リード同士における前記封止部形成面の内側端部間の  
長さが、前記被実装面の内側端部間の長さより長いことを特徴とする半導体装置  
10 。
2. (補正後) 半導体チップが搭載されたタブと、  
前記半導体チップを封止する封止部と、  
前記封止部の裏面の周縁部に露出する被実装面と、その反対側に配置されると  
ともに前記封止部によって覆われる封止部形成面とを有した複数のリードと、  
15 前記半導体チップの表面電極とこれに対応する前記封止部形成面とを接続する  
複数のワイヤとを有し、  
対向して配置された前記リード同士における前記封止部形成面の内側端部間の  
長さが前記被実装面の内側端部間の長さより長く、かつ前記封止部形成面の内側  
端部に切り欠き部が形成されていることを特徴とする半導体装置。
- 20 3. (補正後) 半導体チップが搭載されたタブと、  
前記半導体チップを封止する封止部と、  
前記封止部の裏面の周縁部に露出する被実装面と、その反対側に配置されると  
ともに前記封止部によって覆われる封止部形成面とを有した複数のリードと、  
前記半導体チップの表面電極とこれに対応する前記封止部形成面とを接続する  
25 複数のワイヤとを有し、  
対向して配置された前記リード同士における前記封止部形成面の内側端部間の  
長さが前記被実装面の内側端部間の長さより長く、かつ前記封止部形成面の少な  
くとも一部の幅が前記被実装面の幅より広いことを特徴とする半導体装置。
4. (補正後) 半導体チップが搭載されたタブと、

前記半導体チップを封止する封止部と、

前記封止部の裏面の周縁部に露出する被実装面と、その反対側に配置されるとともに前記封止部によって覆われる封止部形成面とを有した複数のリードと、

前記半導体チップの表面電極とこれに対応する前記封止部形成面とを接続する

5 複数のワイヤとを有し、

対向して配置された前記リード同士における前記封止部形成面の内側端部間の長さが前記被実装面の内側端部間の長さより長く、かつ前記封止部形成面の内側端部に切り欠き部が形成され、さらに前記封止部形成面の少なくとも一部の幅が前記被実装面の幅より広いことを特徴とする半導体装置。

10 5. (補正後) 半導体チップを支持可能なタブと前記タブの周囲に配置された複数のリードとを有し、対向して配置された前記リード同士の封止部形成面の内側端部間の長さがその反対側の被実装面の内側端部間の長さより長く形成されたリードフレームを準備する工程と、

前記複数のリードそれぞれの前記封止部形成面の内側端部によって囲まれた領域内に前記半導体チップを配置した後、前記タブに前記半導体チップを搭載する工程と、

前記半導体チップの表面電極とこれに対応する前記封止部形成面とをワイヤによって接続する工程と、

20 前記半導体チップ、前記封止部形成面および前記複数のワイヤを樹脂封止して裏面の周縁部に前記複数のリードの被実装面が露出して並ぶように封止部を形成する工程と、

前記各リードを切断して前記リードフレームから分離する工程とを有することを特徴とする半導体装置の製造方法。

6. (補正後) 半導体チップが搭載されたタブと、

25 前記半導体チップを封止する封止部と、

前記封止部の裏面の周縁部に露出する被実装面と、その反対側に配置されて前記封止部によって覆われる封止部形成面とを有した複数のリードと、

前記半導体チップの表面電極とこれに対応する前記封止部形成面とを接続する複数の導電性のワイヤとを有し、

それぞれの前記リードは、対向して配置された前記リード同士における前記封止部形成面の内側端部間の長さが前記被実装面の内側端部間の長さより長くなるように形成されており、それぞれ前記被実装面より幅広の前記封止部形成面を有していることを特徴とする半導体装置。

5 7. 請求の範囲第6項記載の半導体装置であって、前記リードは、チップ側に配置されるワイヤ接合部と、前記封止部の側面の内側と外側とに跨がる基端部とを有しており、前記ワイヤ接合部における前記封止部形成面の幅は、前記基端部における前記封止部形成面の幅より広いことを特徴とする半導体装置。

10 8. 請求の範囲第6項記載の半導体装置であって、前記リードの前記封止部形成面に凹部が形成されていることを特徴とする半導体装置。

9. 請求の範囲第8項記載の半導体装置であって、前記凹部は、前記封止部形成面におけるワイヤ接合箇所の外側に形成されていることを特徴とする半導体装置。

15 10. 請求の範囲第6項記載の半導体装置であって、前記リードの前記封止部形成面に、前記リードの延在方向に直角な方向に対して前記封止部形成面の幅より小さな幅の凹部が形成されていることを特徴とする半導体装置。

11. (補正後) 半導体チップが搭載されたタブと、

前記半導体チップを封止する封止部と、

20 前記封止部の裏面の周縁部に露出する被実装面と、その反対側に配置されて前記封止部によって覆われる封止部形成面とを有した複数のリードと、

前記半導体チップの表面電極とこれに対応する前記封止部形成面とを接続する複数の導電性のワイヤとを有し、

対向して配置された前記リード同士における前記封止部形成面の内側端部間の長さが、前記被実装面の内側端部間の長さより長く形成され、

25 前記タブは前記半導体チップの主面より小さく形成され、

前記タブのチップ搭載側と反対側の面である裏面側に前記封止部の一部が配置されていることを特徴とする半導体装置。

12. 請求の範囲第11項記載の半導体装置であって、前記タブのチップ搭載側の面が前記リードの前記封止部形成面と同じ高さに配置されていることを特徴と



する半導体装置。

13. 請求の範囲第12項記載の半導体装置であって、前記タブとこれを支持する吊りリードの一部とがハーフエッチング加工によって薄く形成されていることを特徴とする半導体装置。

5 14. 請求の範囲第11項記載の半導体装置であって、前記タブのチップ搭載側の面が、前記リードの前記封止部形成面より前記半導体チップの主面側の方向に遠ざかった位置に配置されていることを特徴とする半導体装置。

15. (補正後) 半導体チップが搭載されたタブと、  
前記半導体チップを封止する封止部と、

10 前記封止部の裏面の周縁部に露出する被実装面と、その反対側に配置されて前記封止部によって覆われる封止部形成面とを有した複数のリードと、

前記半導体チップの表面電極とこれに対応する前記封止部形成面とを接続する複数の導電性のワイヤとを有し、

15 対向して配置された前記リード同士における前記封止部形成面の内側端部間の長さが、前記被実装面の内側端部間の長さより長く形成され、

前記タブは前記半導体チップの主面より小さく形成されており、前記半導体チップの前記タブの端部からの突出した長さは、前記リードの前記被実装面におけるリード延在方向の長さ以下であることを特徴とする半導体装置。

16. 半導体チップが搭載されたタブと、

20 前記半導体チップを封止する封止部と、

前記封止部の裏面の端部に一部が露出する複数のリードと、

前記タブと連結し、前記封止部の裏面に露出する被実装面を有した吊りリードと、

25 前記半導体チップの表面電極とこれに対応する前記リードとを接続する複数の導電性のワイヤとを有し、

前記吊りリードの前記被実装面の反対側の面の前記被実装面に対向する領域に、一端が前記半導体チップの表面電極に接続された導電性のワイヤの他端が接続されていることを特徴とする半導体装置。

17. 請求の範囲第16項記載の半導体装置であって、前記吊りリードの前記被

実装面の反対側の面に凹部が形成されていることを特徴とする半導体装置。

18. 請求の範囲第17項記載の半導体装置であって、前記吊りリードの前記凹部は、前記被実装面の反対側の面の前記ワイヤが接続する箇所より外側に形成されていることを特徴とする半導体装置。

5 19. 請求の範囲第18項記載の半導体装置であって、前記吊りリードの前記凹部は、前記被実装面の反対側の面の前記ワイヤが接続する箇所より内側に形成されていることを特徴とする半導体装置。

20. 請求の範囲第16項記載の半導体装置であって、前記吊りリードの前記ワイヤが接続する箇所の外側の両側面に突起部が設けられていることを特徴とする半導体装置。

10

21. 半導体チップが搭載されたタブと、

前記半導体チップを封止する封止部と、

前記封止部の裏面の周縁部に一部が露出する複数のリードと、

前記タブと連結し、前記封止部の裏面の面取り部に露出する被実装面を有した

15 吊りリードと、

前記半導体チップの表面電極とこれに対応する前記リードとを接続する複数の導電性のワイヤとを有し、

前記吊りリードの前記被実装面の反対側の面の前記被実装面に対向する領域に、一端が前記半導体チップの表面電極のうちGND用電極に接続された導電性のワイヤの他端が接続されていることを特徴とする半導体装置。

20

22. 請求の範囲第21項記載の半導体装置であって、前記タブは前記封止部によって封止されていることを特徴とする半導体装置。

23. 半導体チップが搭載されたタブと、

前記半導体チップを封止する封止部と、

25 前記封止部の裏面の周縁部に露出する被実装面を有した複数のリードと、

前記タブと連結し、前記封止部の裏面に露出する被実装面を有した吊りリードと、

前記半導体チップの表面電極とこれに対応する前記リードとを接続する複数の導電性のワイヤとを有し、

前記吊りリードの前記被実装面の反対側の面の前記被実装面に対向する領域に、一端が前記半導体チップの表面電極に接続された導電性のワイヤの他端が接続されており、

5 前記吊りリードの延在方向の前記被実装面の長さは、前記被実装面における前記吊りリードの厚さより長いことを特徴とする半導体装置。

24. 請求の範囲第23項記載の半導体装置であって、前記吊りリードの前記被実装面より内側領域において、隣接する前記リードとの最短距離部は前記封止部によって封止されていることを特徴とする半導体装置。

10 25. 請求の範囲第23項記載の半導体装置であって、前記半導体装置が実装基板に実装された際に前記半導体装置の前記吊りリードに隣接する前記リードと接続する前記実装基板の端子は、その内側端部が前記リードの前記被実装面の内側端部と面一またはそれより外側に配置されることを特徴とする半導体装置。

26. (補正後) 半導体チップが搭載されたタブと、

前記半導体チップを封止する封止部と、

15 前記封止部の裏面の周縁部に露出する被実装面と、その反対側に配置されて前記封止部によって覆われる封止部形成面とを有した複数のリードと、

前記タブと連結し、前記封止部の裏面に露出する被実装面を有した吊りリードと、

20 前記半導体チップの表面電極とこれに対応する前記封止部形成面とを接続する複数の導電性のワイヤとを有し、

前記リードは、対向して配置された前記リード同士の前記封止部形成面の内側端部間の長さが、前記リード同士の前記被実装面の内側端部間の長さより長くなるように形成されており、

25 前記吊りリードの前記被実装面の反対側の面の前記被実装面に対向する領域に、一端が前記半導体チップの表面電極に接続された導電性のワイヤの他端が接続されていることを特徴とする半導体装置。

27. (補正後) 半導体チップが搭載されるタブと、前記タブの周囲に配置され、被実装面およびその反対側の平坦面のみからなる封止部形成面を有する複数のリードと、前記タブを支持する吊りリードとからなる複数のデバイス領域を有し

ており、対向して配置された前記リード同士の前記封止部形成面の内側端部間の長さが前記被実装面の内側端部間の長さより長く形成されたリードフレームを準備する工程と、

- 5 前記複数のリードそれぞれの前記封止部形成面の内側端部によって囲まれた領域内に前記半導体チップを配置した後、前記タブに前記半導体チップを搭載する工程と、

前記半導体チップの表面電極とこれに対応する前記封止部形成面とを導電性のワイヤによって接続する工程と、

- 10 前記複数のデバイス領域を樹脂成形金型の1つのキャビティで覆った状態で樹脂成形を行って、裏面の周縁部に前記複数のリードの被実装面が露出して並ぶように一括封止部を形成する工程と、

それぞれの前記リードの前記封止部形成面と前記被実装面とを切断金型で挟持してダイシングによって各リードと前記一括封止部とを切断して前記リードフレームから分離する工程とを有することを特徴とする半導体装置の製造方法。

- 15 28. 半導体チップが搭載されるタブと、前記タブの周囲に配置され、被実装面およびその反対側の封止部形成面を有する複数のリードと、前記タブを支持する吊りリードとからなる複数のデバイス領域を有しており、対向して配置された前記リード同士の前記封止部形成面の内側端部間の長さが前記被実装面の内側端部間の長さより長く形成され、前記リードの前記封止部形成面に、前記リードの延在方向に直角な方向に対して前記封止部形成面の幅より小さな幅の凹部が形成されたリードフレームを準備する工程と、

前記複数のリードそれぞれの前記封止部形成面の内側端部によって囲まれた領域内に前記半導体チップを配置した後、前記タブに前記半導体チップを搭載する工程と、

- 25 前記半導体チップの表面電極とこれに対応する前記リードの前記封止部形成面の前記凹部より内側箇所とを導電性のワイヤによって接続する工程と、

樹脂成形金型の金型面上にフィルムを配置して前記複数のデバイス領域を樹脂成形金型の1つのキャビティで覆った状態で型締めを行い、前記型締めによって前記リードの前記被実装面を前記フィルムに潜り込ませて樹脂成形を行うことに

より、裏面の周縁部に前記複数のリードの被実装面が露出して並ぶように一括封止部を形成する工程と、

ダイシングによって各リードと前記一括封止部とを切断して前記リードフレームから分離する工程とを有することを特徴とする半導体装置の製造方法。

5      29. (補正後) 半導体チップが搭載されるタブと、前記タブの周囲に配置され、被実装面およびその反対側の封止部形成面を有する複数のリードと、前記タブを支持する吊りリードとを有しており、対向して配置された前記リード同士の前記封止部形成面の内側端部間の長さが前記被実装面の内側端部間の長さより長く形成され、各リードに切断時の応力を緩和する応力緩和手段が設けられたリード

10      フレームを準備する工程と、

前記複数のリードそれぞれの前記封止部形成面の内側端部によって囲まれた領域内に前記半導体チップを配置した後、前記タブに前記半導体チップを搭載する工程と、

前記半導体チップの表面電極とこれに対応する前記リードの前記応力緩和手段  
15 より内側領域の前記封止部形成面とを導電性のワイヤによって接続する工程と、

前記半導体チップ、前記封止部形成面および前記複数のワイヤを樹脂封止して裏面の周縁部に前記複数のリードの被実装面が露出して並ぶように封止部を形成する工程と、

それぞれの前記リードの前記応力緩和手段より外側箇所を切断金型で挟持した  
20 状態でパンチによって各リードを切断して前記リードフレームから分離する工程  
とを有することを特徴とする半導体装置の製造方法。

30. 請求の範囲第29項記載の半導体装置の製造方法であって、前記応力緩和手段はスリット状の凹部であり、前記リードの前記封止部形成面に前記スリット状の凹部が形成されていることを特徴とする半導体装置の製造方法。

25 31. 請求の範囲第29項記載の半導体装置の製造方法であって、前記応力緩和手段は凹部であり、前記リードの両側面に前記凹部が形成されていることを特徴とする半導体装置の製造方法。

32. 半導体チップが搭載されたタブと、  
前記半導体チップを封止する封止部と、

前記封止部の裏面の端部に一部が露出する複数のリードと、  
前記タブと連結し、前記封止部の裏面に一部が露出する吊りリードと、  
前記半導体チップの表面電極とこれに対応する前記リードとを接続する複数の  
導電性のワイヤと、

- 5 前記半導体チップのGND用の表面電極と前記吊りリードとを接続する導電性  
のワイヤとを有した半導体装置の製造方法であって、

前記複数のリードのうちGND用のリードおよび前記吊りリードを介して前記  
半導体チップの所望の回路にGND電位を供給した状態で前記半導体装置をテスト  
することを特徴とする半導体装置の製造方法。

Translation

PATENT COOPERATION TREATY

10/519705

PCT/JP2003/006830



PCT/PTO

29 DEC 2004

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference 310101785WO1	<b>FOR FURTHER ACTION</b> See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP2003/006830	International filing date (day/month/year) 30 May 2003 (30.05.2003)	Priority date (day/month/year) 01 July 2002 (01.07.2002)
International Patent Classification (IPC) or national classification and IPC H01L 23/50		
Applicant RENESAS TECHNOLOGY CORP.		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.
2. This REPORT consists of a total of 5 sheets, including this cover sheet.  
☒ This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).

These annexes consist of a total of 9 sheets.

3. This report contains indications relating to the following items:

- I ☒ Basis of the report
- II ☐ Priority
- III ☐ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☒ Lack of unity of invention
- V ☒ Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☐ Certain defects in the international application
- VIII ☐ Certain observations on the international application

Date of submission of the demand 30 May 2003 (30.05.2003)	Date of completion of this report 23 January 2004 (23.01.2004)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International Application No.

PCT/JP2003/006830

## I. Basis of the report

## 1. With regard to the elements of the international application:\*

- ☐ the international application as originally filed
- ☒ the description:  
pages 1-28, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☒ the claims:  
pages 7-10, 12-14, 16-25, 28,, as originally filed  
pages \_\_\_\_\_, as amended (together with any statement under Article 19  
pages \_\_\_\_\_, filed with the demand  
pages 1-6, 11, 15, 26-27, 29, filed with the letter of 03 September 2003 (03.09.2003)
- ☒ the drawings:  
pages 1/36-36/36, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the sequence listing part of the description:  
pages \_\_\_\_\_, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

## 2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language \_\_\_\_\_ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

## 3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages \_\_\_\_\_
- ☐ the claims, Nos. \_\_\_\_\_
- ☐ the drawings, sheets/fig \_\_\_\_\_

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).\*\*

\* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

\*\* Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.



# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International Application No.

PCT/JP03/06830

## IV. Lack of unity of invention

1. In response to the invitation to restrict or pay additional fees the applicant has:

- ☐ restricted the claims.
- ☐ paid additional fees.
- ☐ paid additional fees under protest.
- ☐ neither restricted nor paid additional fees.

2. ☒ This Authority found that the requirement of unity of invention is not complied with and chose, according to Rule 68.1, not to invite the applicant to restrict or pay additional fees.

3. This Authority considers that the requirement of unity of invention in accordance with Rules 13.1, 13.2 and 13.3 is

- ☐ complied with.
- ☒ not complied with for the following reasons:

- I. Claims 1-15 and 26-31 relate to a semiconductor device wherein the length between inside end sections of an encapsulation section forming faces is longer than the length between inside end sections of the faces for mounting.
- II. Claims 16-25 and 32 relate to a semiconductor device wherein wires are connected in the area facing the mounting face opposite to the mounting face for leads.

Therefore, these two groups of inventions are not found to be a single group of the inventions so related as to form a single general inventive conception.

4. Consequently, the following parts of the international application were the subject of international preliminary examination in establishing this report:

- ☒ all parts.
- ☐ the parts relating to claims Nos. \_\_\_\_\_

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International Application No.

PCT/JP03/06830

## V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

### 1. Statement

Novelty (N)	Claims	1-32	YES
	Claims		NO
Inventive step (IS)	Claims	1-32	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-32	YES
	Claims		NO

### 2. Citations and explanations

Document 1: JP 2000-124240 A (Matsushita Electronics Corp.), April 28, 2000  
 Document 2: US 2002/0041011 A1 (Kazutaka Shibata), April 11, 2002  
 Document 3: JP 2001-358279 A (Sony Corp.), December 26, 2001  
 Document 4: WO 99/00826 A2 (Matsushita Electronics Corp.), January 7, 1999  
 Document 5: WO 01/03183 A2 (Hitachi, Ltd.), January 11, 2001

None of the documents cited in the ISR describes the inventions described in claims 1-32, nor are these inventions obvious to a person skilled in the art.

**INTERNATIONAL PRELIMINARY EXAMINATION REPORT**

International Application No.

PCT/JP03/06830

**Supplemental Box**

(To be used when the space in any of the preceding boxes is not sufficient)

Continuation of Box V:

Claims 30-32; submitted at time of application